**(36) I/O编址方式通常可分统一编址和不统一编址， ( B ) 。**

**A.统一编址就是将I/O地址看作是存储器地址的一部分，可用专门I/O指令对设备进行访问**

**B.不统一编址是指I/O地址和存储器地址是分开的，所以对I/O访问必须有专门的I/O指令**

**C.统一编址是指I/O地址和存储器地址是分开的，所以可用访存指令实现CPU对设备的访问**

**22. I/O有哪些编址方式？各有何特点？**

**答：常用的I/O编址方式有两种： I/O与内存统一编址和I/O独立编址；**

**I/O与内存统一编址方式的I/O地址采用与主存单元地址完全一样的格式，I/O设备和主存占用同一个地址空间，CPU可像访问主存一样访问I/O设备，不需要安排专门的I/O指令。**

**I/O独立编址方式时机器为I/O设备专门安排一套完全不同于主存地址格式的地址编码，此时I/O地址与主存地址是两个独立的空间，CPU需要通过专门的I/O指令来访问I/O地址空间。**

**(41)主机与I/O设备传送数据时，采用( C ) ，CPU的效率最高。**

**A. 程序查询方式 B．中断方式 C．DMA方式**

**(97)主机与设备传送数据时，采用( A )，主机与设备是串行工作的。**

**A．程序查询方式； B．中断方式； C．DMA方式； D．通道**

**一．单选题**

**(22) 为了便于实现多级中断，保存中断现场最有效的方法是采用（B）。**

**A. 通用寄存器 B. 堆栈 C. 存储器 D. 外存**

**(34)周期挪用方式常用于( D )方式的输入/输出中。**

**A. 中断 B. 程序传送 C. 通道 D. DMA**

**(35)微型机系统中，主机和高速硬盘进行数据交换一般采用( C )方式。**

**A. 程序查询 B．程序中断 C．DMA**

**(37) I/O与主机交换信息的方式中，中断方式的特点是( B ) 。**

**A．CPU与设备串行工作，传送与主程序串行工作**

**B．CPU与设备并行工作，传送与主程序串行工作**

**C．CPU与设备并行工作，传送与主程序并行工作**

**(38)下列叙述中正确的是( C )。**

**A. 程序中断方式和DMA方式中实现数据传送都需中断请求**

**B. 程序中断方式中有中断请求，DMA方式中没有中断请求**

**C. 程序中断方式和DMA方式中都有中断请求，但目的不同**

**(39)硬盘适合于用( A )方式实现输入输出操作**

**A．DMA B．中断 C．程序查询**

**(40) CPU响应中断的时间是( A ) 。**

**A．一条指令执行结束 B．外设提出中断 C．取指周期结束**

**(54)** **在单级中断系统中，CPU一旦响应中断，则立即关闭( A )标志，以防本次中断服务结束前同级的其他中断源产生另一次中断进行干扰。**

**A．中断允许 B. 中断请求 C. 中断屏蔽 D. 中断保护**

**(86) 通道程序是由( B )组成。**

**A．I/O指令； B．通道控制字（或称通道指令）；**

**C．通道状态字； D．微程序。**

**(88) 下列选项中，能引起外部中断的事件（ A ）**

**A.** **键盘输入 B. 除数为0 C.** **浮点运算下溢 D. 访存缺页**

**(89) CPU通过( B )启动通道。**

**A．执行通道命令；B．执行I/O指令；C．发出中断请求；D．程序查询。**

**(91) DMA方式的接口电路中有程序中断部件，其作用是( C ) 。**

**A．实现数据传送； B．向CPU提出总线使用权；**

**C．向CPU提出传输结束； D．发中断请求。**

**(92) DMA访问主存时，向CPU发出请求，获得总线使用权时再进行访存，这种情况称作( B )。**

**A．停止CPU访问主存； B．周期挪用；**

**C．DMA与CPU交替访问； D．DMA**

**(93) CPU响应中断的时间是( B )。**

**A．中断源提出请求； B．执行周期结束；**

**C．取指周期结束； D．间址周期结束**

**(94)向量中断是（ C ）。**

**A．外设提出中断； B．由硬件形成中断服务程序入口地址；**

**C．由硬件形成向量地址，再由向量地址找到中断服务程序入口地址**

**(96)在中断周期中，由（ D ）将允许中断触发器置“0”。**

**A．关中断指令；B．机器指令；C．开中断指令；D．中断隐指令。**

**(98)采用DMA方式传送数据时，每传送一个数据要占用（ D ）的时间。**

**A.一个指令周期 B.一个机器周期 C.一个时钟周期 D.一个存储周期**

**(99) 通道对CPU的请求形式是（ B ）.**

**A.** **自陷 B.** **中断**  **C.** **通道命令 D. I/O指令**

**(99) DMA接口（ B ）.**

**A.** **可用于主存与主存之间的数据交换**

**B.** **内有中断机制 C.** **内有中断机制，可以处理异常情况**

**(100)**  **以下叙述( A )是错误的。**

**A．一个更高级的中断请求一定可以中断另一个中断处理程序的执行；**

**B．DMA和CPU必须分时使用总线；**

**C．DMA的数据传送不需CPU控制；**

**D．DMA中有中断机制。**

**(101)下列叙述中是正确的( C )。**

**A．程序中断方式中有中断请求，DMA方式中没有中断请求；**

**B．程序中断方式和DMA方式中实现数据传送都需中断请求；**

**C．程序中断方式和DMA方式中都有中断请求，但目的不同；**

**D．DMA要等到指令周期结束时才进行周期窃取。**

**(103)在中断接口电路中，向量地址可通过（ B ） 送至CPU。**

**A．地址线 B．数据线 C．控制线 D．状态线。**

**(109)下列陈述中正确的是 ( D ) 。**

**A、在DMA周期内，CPU不能执行程序;**

**B、中断发生时，CPU首先执行入栈指令将程序计数器内容保护起来;**

**C、DMA传送方式中，DMA控制器每传送一个数据就窃取一个指令周期;**

**D、输入输出操作的最终目的是要实现CPU与外设之间的数据传输.**

**(114)下列哪种指令不属于程序控制指令是( C )。**

**A. 无条件转移指令 B. 条件转移指令**

**C. 中断指令 D. 循环指令**

**(127) 中断向量可提供（ C ）**

**A.** **被选中设备的地址 B.** **传送数据的起始地址**

**C.** **中断服务程序入口地址 D. 主程序的断点地址**

**(128) 某机器有四级中断向量，优先级从高到低1→2→3→4,若将优先级顺序修改，改后1级中断的屏蔽字为1011,2级中断的屏蔽字为1111,3级中断的屏蔽字为0011,4级中断的屏蔽字为0001，则修改后的优先顺序从高到低为（ C ）**

**A.** **3→2→1→4 B.** **1→3→4→2**

**C.** **2→1→3→4 D. 4→2→1→3**

**4. 为什么说现代计算机中主存储器处于全机中心地位?**

**答：现代计算机中，存储器处于全机的中心地位，原因：**

**① 存储处在运行中的指令和数据；**

**②I/O设备数量增多，数据传送速度加快，因此采用了DMA技术和通道技术，在存储器和I/O设备间直接传送数据；**

**③共享存储器的多处理机的出现，利用存储器存放共享数据，并实现处理机之间的通信，更加强了存储器作为全机中心的地位。**

**23.试比较三种通道的优缺点及适用场合**。

**答：（1）字节多路通道。一种简单的共享通道，主要为多台低速或中速的外围设备服务。**

**（2）数组多路通道。适于为高速设备服务。**

**（3）选择通道。为多台高速外围设备（如磁盘存储器等）服务的。**

**24.** **什么是中断？外部设备如何才能产生中断？**

**答：中断是指：计算机执行现行程序的过程中，出现某些急需处理的异常情况和特殊请求，CPU 暂时中止现行程序，而转去对随机发生的更紧迫的事件进行处理，在处理完毕后，CPU 将自动返回原来的程序继续执行。**

**外部设备（中断源）准备就绪后会主动向CPU 发出中断请求。通常由外设的完成信号将相应的中断请求触发器置成“１”状态，表示该中断源向CPU 提出中断请求。**

**25.说明中断向量地址和入口地址的区别和联系。**

**答：向量地址是硬件电路产生的中断源的内存地址编号,中断入口地址是中断服务程序首址。**

**中断向量地址和入口地址的联系：中断向量地址可理解为中断服务程序入口地址指示器（入口地址的地址），通过它访存可获得中断服务程序入口地址。**

**26.CPU对DMA 请求和中断请求的响应时间是否一样？为什么？**

**答：CPU对DMA请求和中断请求响应时间不一样，因为两种方式的交换速度相差很大，因此CPU 必须以更短的时间间隔查询并响应DMA请求（一个存取周期末）**

**27. DMA和中断的区别?**

**答：⑴中断方式是程序切换,需要保护和恢复现场；而DMA方式除了开始和结尾时,不占用CPU任何资源.**

**⑵对中断请求的响应只能发生在每条指令执行完毕时,而对DMA请求的响应可以发生在每个机器周期结束时.**

**⑶中断传送过程需要CPU的干预,而DMA传送过程不需要CPU的干预,故数据传送速率非常高,适合于高速外设的成组传送.** DMA **请求的优先级应高于中断请求。**

**28.** **常见的数据传送控制方式有哪几种？CPU 响应中断应具备哪些条件？**

**答：常见的数据传送控制方式有:程序控制；中断控制；DMA；I/O通道控制；外围处理机控制。**

**CPU 响应中断应具备的条件：① CPU 接收到中断请求信号；② CPU 允许中断；③ 一条指令执行完毕。**

**29.** **什么叫中断隐指令？ 中断隐指令有哪些功能？ 中断隐指令如何实现？**

**答：CPU 响应中断之后，经过某些操作，转去执行中断服务程序。这些操作是由硬件直接实现的，称为中断隐指令。中断隐指令并不是指令系统中的一条真正的指令，它没有操作码，所以中断隐指令是一种不允许、也不可能为用户使用的特殊指令。其所完成的操作主要有：① 保存断点；② 暂不允许中断；③ 引出中断服务程序。**

**30.** **试比较程序查询方式、程序中断方式和 DMA方式对CPU工作效率的影响。**

**答：程序查询方式要求CPU时刻查询I/O，直到I/O准备好为止，这种方式CPU工作效率很低。程序中断方式比程序中断方式提高了CPU的工作效率，消除了“踏步”现象。DMS方式中CPU的工作效率是这三种之中最高的一个。CPU启动I/O后，不必查询I/O是否准备好，当I/O准备就绪后，发出DMA请求，此时CPU不直接参与I/O和主存间的信息交换，只是把外部总线的使用权暂时交付DMA，仍然可以完成自身内部的操作，所以不必中断现行程序，只需暂停一个存取周期访存，CPU效率更高。**

**36.** **以输入为例说明为什么DMA方式比中断方式具有更高的I/O 效率？**

**答：中断方式只是解决了CPU对 I/O设备状态的查询和等待，但数据传送仍然需要CPU参与和中转。输入时，CPU从外设读取数据到寄存器，再将寄存器中的数据存储到内存中；而在DMA方式下，数据传送在DMA控制器的控制下直接在内存和外设间传送，既不需要CPU的参与也没有了中断开销，DMA方式比中断方式具有更高的I/O 效率。**

**39.** **在DMA方式下，主存和 I/O设备之间有一条物理通路相连吗？为什么？**

**答：没有。通常所说的DMA方式在主存和I/O设备之间建立了一条“直接的数据通路”，使得数据在和主存和I/O设备之间直接进行传送。其含义并不是在主存和I/O设备之间建立一条物理直接通路，二是主存和I/O设备通过I/O设备接口、系统总线及总线桥接部件等相连，建立一个信息可以相互通达的通路，这在逻辑上可视为直接相连。其“直接”是相对于要通过CPU才能和主存相连这种方式而言。**

**40.** **中断周期的前后各是CPU的什么工作周期？**

**答：中断周期之前是执行周期，之后是下一条指令的取指周期。**

**11）DMA控制器和CPU可以同时使用总线。（×）**

**12）所有数据传送方式都必须由CPU控制。（×）**

**13）外部设备一旦申请中断，便能立即得到CPU响应。（×）**

**14）I/O设备编址方式分为单独编址和存储器映射两种。（√）**

**15）DMA设备的中断级别比其他外设高，否则可能引起数据丢失。（√）**

**14）中断方式一般适用于随机出现的服务。（√）**

**15）中断屏蔽技术是用中断屏蔽寄存器对中断请求线进行屏控制，只有多级中断系统才能采用中断屏蔽技术。（×）**

**23）ＤＭＡ方式进行外设与主机交换信息时，不需要向主机发出中断请求。（×）**

**28）主程序运行时何时转向为外设服务的中断服务程序是预先安排好的。（×）**

**30）在CPU运行主程序时，接受到非预期的中断请求，CPU暂停现行工作转向为中断请求服务，待服务完毕后回到住程序继续执行。（√）**

**37）一个更高级的中断请求一定可以中断另一个中断处理程序的执行。（×）**

**38）DMA的数据传送不需CPU控制。（√）**

**39）DMA和CPU必须分时使用总线。（√）**

**19、若机器有5级中断，中断响应优先级为1-2-3-4-5，而中断处理优先级为1-4-5-2-3。要求：**

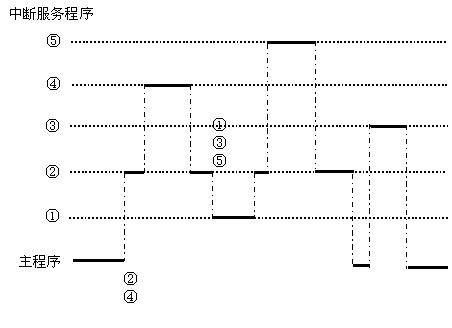
**① 设计各级中断处理程序的中断屏蔽位(令1为屏蔽，0为开放)；**

**② 若在运行主程序时，同时出现第4、2级中断请求，而在处理第2级中断过程中，又同时出现1、5、3级中断请求，试画出此程序运行过程示意图。**

**解: （1）各级中断处理程序的中断屏蔽位(令1为屏蔽，0为开放)如下图**：

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **中断程**  **序级别** | **屏蔽字** | | | | |
| **1级** | **2级** | **3级** | **4级** | **5级** |
| **第1级** | **1** | **1** | **1** | **1** | **1** |
| **第2级** | **0** | **1** | **1** | **0** | **0** |
| **第3级** | **0** | **0** | **1** | **0** | **0** |
| **第4级** | **0** | **1** | **1** | **1** | **1** |
| **第5级** | **0** | **1** | **1** | **0** | **1** |

**（2）程序运行过程示意图如下：**



**20、设某机器有5级中断：L0，L1，L2，L3，L4，其中断响应优先次序为：L0->L1->L2->L3->L4，现在要求将中断处理次序改为L1->L3->L0->L4->L2，试问：**

**（1）将表中各级中断处理程序的各中断屏蔽值如何设置 ？**

**(每级对应一位，该位为0表示允许中断，为1表示中断屏蔽)**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **中断处理程序** | **中断处理级屏蔽位** | | | | |
| **L0级** | **L1级** | **L2级** | **L3级** | **L4级** |
| **L0中断处理程序** |  |  |  |  |  |
| **L1中断处理程序** |  |  |  |  |  |
| **L2中断处理程序** |  |  |  |  |  |
| **L3中断处理程序** |  |  |  |  |  |
| **L4中断处理程序** |  |  |  |  |  |

**（2）若这5级中断同时发出中断请求，按更改后的次序画出进入各级中断处理程序的过程示意图。**

**解: （1）每级对应一位，该位为0表示允许中断，为1表示中断屏蔽。各中断屏蔽值设置如下：**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **中断处理程序** | **中断处理级屏蔽位** | | | | |
| **L0级** | **L1级** | **L2级** | **L3级** | **L4级** |
| **L0中断处理程序** | **1** | **0** | **1** | **0** | **1** |
| **L1中断处理程序** | **1** | **1** | **1** | **1** | **1** |
| **L2中断处理程序** | **0** | **0** | **1** | **0** | **0** |
| **L3中断处理程序** | **1** | **0** | **1** | **1** | **1** |
| **L4中断处理程序** | **0** | **0** | **1** | **0** | **1** |

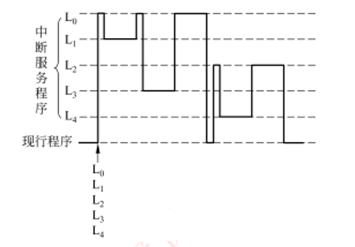
**（2） ①L1中断时，不允许任何中断，服务完毕后，退回到L0的中断服务程序，这时，允许L3的中断嵌套响应；**

**②L3服务完毕后，返回L0中断服务程序；**

**③L0服务完毕后，按照顺序应处理L2，L2开放了更高级中断L4，因此响应了L4，L4响应完成后再继续执行L2级中断服务程序。**

**④按优先次序先调用L0，L0屏蔽了本级和低级中断请求，而L1的中断请求未屏蔽，则L1发生中断嵌套响应；**

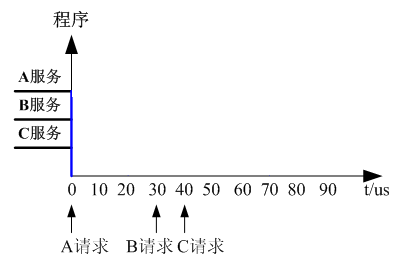
**中断处理次序为：L1->L3->L0->L4->L2，中断处理过程示意图如下：**



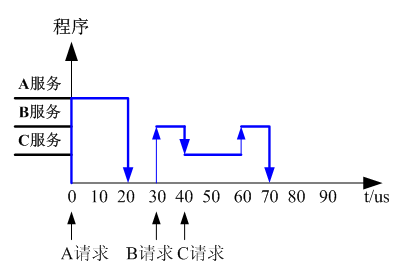
**21．设某机配有A、B、C三台设备，其优先顺序按A→B→C降序排列，为改变中断处理次序，它们的中断屏蔽字设置如下：**

|  |  |
| --- | --- |
| **设备** | **屏蔽字** |
| **A** | **111** |
| **B** | **010** |
| **C** | **011** |

**请按下图所示时间轴给出的设备请求中断的时刻，画出CPU执行程序的轨迹。设A、B、C中断服务程序的执行时间均为20μ s。**

****

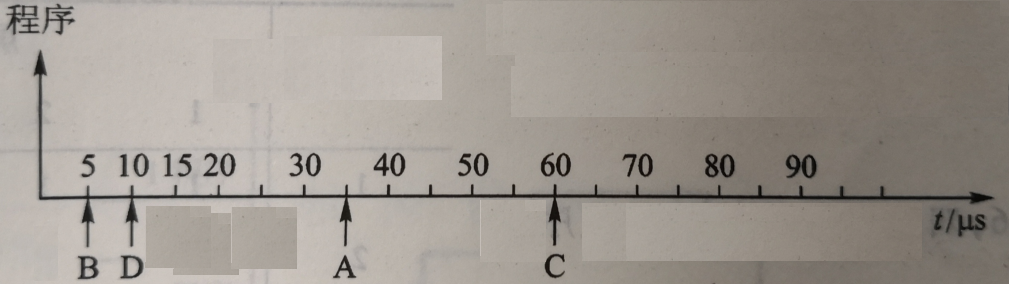
**解:** **A、B、C设备的响应优先级为A最高、B次之、C最低，处理优先级为A最高、C次之、B最低。CPU执行程序的轨迹图如下：**



**22．设某机配有四个中断源A、B、C、D，其硬件排队优先次序为：A>B>C>D,现要求将中断处理次序改为：D>A>C>B.**

**①写出每个中断源对应的屏蔽字。**

**②按下图时间轴给出的四个中断源的请求时刻，画出CPU执行程序的轨迹。设每个中断源的中断服务程序时间均为*20μS* .**



**解:（1）在中断处理次序改为D>A>C>B后，每个中断源的屏蔽字如下表所示.**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **中断源** | **中断处理级屏蔽位** | | | |
| **A** | **B** | **C** | **D** |
| **A** | **1** | **1** | **1** | **0** |
| **B** | **0** | **1** | **0** | **0** |
| **C** | **0** | **1** | **1** | **0** |
| **D** | **1** | **1** | **1** | **1** |

**（2）根据新的处理次序，CPU执行程序轨迹如下图所示：**

